

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Takayoshi YOSHIDA et al.**

Serial Number: **Not Yet Assigned**

Filed: **January 27, 2004**

For: **ACTIVE-DRIVE TYPE PIXEL STRUCTURE AND INSPECTION METHOD  
THEREFOR**

Attorney Docket No. **042053**

Customer No.: **38834**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

January 27, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

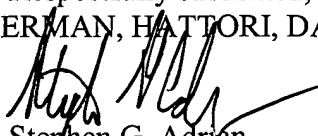
**Japanese Appln. No. 2003-023034, filed on January 31, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/yap

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 3 1 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 2 3 0 3 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 2 3 0 3 4 ]

出      願      人                      東 北 パ イ オ ニ ア 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 6 4 1 2

【書類名】 特許願

【整理番号】 57P0469

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G09G 3/30  
G01R 31/02

【発明者】

【住所又は居所】 山形県米沢市八幡原四丁目 3 1 4 6 番地 7 東北パイオ  
ニア株式会社 米沢工場内

【氏名】 吉田 孝義

【発明者】

【住所又は居所】 山形県米沢市八幡原四丁目 3 1 4 6 番地 7 東北パイオ  
ニア株式会社 米沢工場内

【氏名】 坂口 正三郎

【特許出願人】

【識別番号】 000221926

【氏名又は名称】 東北パイオニア株式会社

【代理人】

【識別番号】 100101878

【弁理士】

【氏名又は名称】 木下 茂

【手数料の表示】

【予納台帳番号】 063692

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102484

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブ駆動型画素構造およびその検査方法

【特許請求の範囲】

【請求項 1】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、

前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が検査用ラインに接続されてなることを特徴とするアクティブ駆動型画素構造。

【請求項 2】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、

前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記駆動用 T F T のゲートに接続されてなることを特徴とするアクティブ駆動型画素構造。

【請求項 3】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、

前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記制御用 T F T のソースまたはゲートに接続されてなることを特徴とするアクティブ駆動型画素構造。

【請求項 4】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が検査用ラインに接続されてなるアクティブ駆動型画

素構造の検査方法であって、

前記制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、ソース電圧、検査用ラインのライン電圧のいずれか、もしくは 2 つ以上を相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行することを特徴とするアクティブ駆動型画素構造の検査方法。

【請求項 5】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記駆動用 T F T のゲートに接続されてなるアクティブ駆動型画素構造の検査方法であって、

前記制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、またはソース電圧のいずれか、もしくは 2 つを相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行することを特徴とするアクティブ駆動型画素構造の検査方法。

【請求項 6】 データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記制御用 T F T のソースまたはゲートに接続されてなるアクティブ駆動型画素構造の検査方法であって、

前記制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、ソース電圧、または検査用ダミー負荷の他端の電圧のいずれか、もしくは 2 つ以上を相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行することを特徴とするアクティブ駆動型画素構造の検査方法。

【請求項 7】 前記検査用ダミー負荷は、当該検査用ダミー負荷に流れる電流値を測定するステップの実行後に、ハイインピーダンスの状態となるように処理されることを特徴とする請求項 4 ないし請求項 6 のいずれかに記載のアクティ

ブ駆動型画素構造の検査方法。

【請求項 8】 前記検査用ダミー負荷をハイインピーダンスの状態となるように処理する手段として、レーザビームにより検査用ダミー負荷を破壊する手段が採用されることを特徴とする請求項 7 に記載のアクティブ駆動型画素構造の検査方法。

【請求項 9】 前記検査用ダミー負荷をハイインピーダンスの状態となるように処理する手段として、検査用ダミー負荷に所定の電流を流すことで、当該ダミー負荷を溶断する手段が採用されることを特徴とする請求項 7 に記載のアクティブ駆動型画素構造の検査方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、少なくとも制御用 T F T と駆動用 T F T、さらに電荷保持用コンデンサとを備えたアクティブ駆動型画素構造およびその検査方法に関し、特に、画素を構成するたとえば発光素子を成膜する前に、前記 T F T (Thin Film Transistor) および電荷保持用コンデンサの機能が正常であるか否かを容易に検査することを可能にしたアクティブ駆動型画素構造およびその検査方法に関する。

【 0 0 0 2 】

【従来の技術】

発光素子をマトリクス状に配列して構成される表示パネルを用いたディスプレイの開発が広く進められている。このような表示パネルに用いられる発光素子として、有機材料を発光層に用いた有機 E L (エレクトロルミネッセンス) 素子が注目されている。これは E L 素子の発光層に、良好な発光特性を期待することができる有機化合物を使用することによって、実用に耐えうる高効率化および長寿命化が進んだことも背景にある。

【 0 0 0 3 】

かかる有機 E L 素子を用いた表示パネルとして、E L 素子を単にマトリクス状に配列した単純マトリクス型表示パネルと、マトリクス状に配列した E L 素子の各々に、T F T からなる能動素子を加えたアクティブマトリクス型表示パネルが

提案されている。後者のアクティブマトリクス型表示パネルは、前者の単純マトリクス型表示パネルに比べて、低消費電力を実現することができ、また画素間のクロストークが少ない等の特質を備えており、特に大画面を構成する高精細度のディスプレイに適している。

#### 【0004】

図1は、従来のアクティブマトリクス型表示装置における1つの画素10に対応する最も基本的な回路構成を示しており、これはコンダクタンスコントロール方式と呼ばれている。図1においてNチャンネルで構成された制御用TFT (Tr1) のゲートGは、走査ドライバー1からの走査ライン1aに接続され、そのソースSはデータドライバー2からのデータライン2aに接続されている。また、制御用TFT (Tr1) のドレインDは、Pチャンネルで構成された駆動用TFT (Tr2) のゲートGに接続されると共に、電荷保持用のコンデンサC1の一方の端子に接続されている。

#### 【0005】

そして、駆動用TFT (Tr2) のソースSは前記コンデンサC1の他方の端子に接続されると共に、発光素子としての有機EL素子E1に駆動電流を供給する陽極側電源 (VHanod) に接続されている。また、駆動用TFT (Tr2) のドレインDは前記EL素子E1の陽極に接続され、当該EL素子の陰極は、陰極側電源 (VLCath) に接続されている。

#### 【0006】

図1における制御用TFT (Tr1) のゲートに走査ライン1aを介してオン制御電圧 (Select) が供給されると、制御用TFT (Tr1) はソースに供給されるデータライン2aからのデータ電圧 (Vdata) に対応した電流を、ソースからドレインに流す。したがって、制御用TFT (Tr1) のゲートがオン電圧の期間に、前記コンデンサC1が充電され、その電圧が駆動用TFT (Tr2) のゲートに供給される。それ故、駆動用TFT (Tr2) は、そのゲート電圧とソース電圧に基づいた電流をEL素子E1に流し、EL素子を発光駆動させる。

#### 【0007】

また制御用TFT (Tr1) のゲートがオフ電圧になると、制御用TFT (Tr1)



）はいわゆるカットオフとなり、制御用 T F T (Tr1) のドレインは開放状態となるものの、駆動用 T F T (Tr2) はコンデンサ C1 に蓄積された電荷によりゲート電圧が保持され、次の走査まで駆動電流を維持し、E L 素子 E1 の発光も維持される。

#### 【0008】

前記した構成はコンダクタンスコントロール方式による 1 つの画素 10 の接続構成例を示したものであり、この画素 10 の構成は縦および横方向に多数配列され、画像信号に基づいて各画素 10 が点灯または消灯制御されることで、映像が再生されることになる。

#### 【0009】

ところで、この種のアクティブマトリクス型表示パネルにおいては、各画素内の T F T およびコンデンサの不良は画素欠陥となる。表示パネル内に幾つかの欠陥が生ずることはやむを得ないのが現状であるものの、この欠陥数が多くなると、表示品位を落とし商品としては不適格となる。

#### 【0010】

したがって、前記 T F T および電荷保持用のコンデンサを基板に形成させた状態、すなわち、発光素子としての有機 E L 素子を前記基板に成膜させる以前の半製品の状態で前記 T F T および電荷保持用のコンデンサの欠陥を容易に検査することができれば、表示パネルの歩留まりを改善することができ、結果としてコストの削減に寄与することができる。特に画素毎の T F T が 1 個で済む A M - L C D (アクティブマトリクス型液晶表示装置) に比べて、画素毎の T F T が 2 個～4 個以上必要となる A M - O E L (アクティブマトリクス型有機 E L 表示装置) においては、前記した半製品の状態で欠陥の検査はなおさら重要となる。

#### 【0011】

一方、A M - L C D においては、前記した半製品の状態である T F T 基板状態においても電荷保持用コンデンサが画素用 T F T (駆動用 T F T) の負荷となっているために、T F T 基板状態での画素欠陥の検査は比較的容易である。しかしながら、A M - O E L においては前記した半製品の状態の T F T 基板においては有機 E L 素子が成膜されておらず、駆動用 T F T は無負荷状態である。したがっ

て、この様な状態では画素欠陥の検査は容易ではない。

#### 【0012】

そこで、画素欠陥を検査するためにプローブを所定の絵素電極等に当てて、インピーダンスを測定することが特許文献1に提案されており、したがって、同様に発光素子としての前記EL素子が形成される電極に、導電性のピン等を接触させるなどして、駆動用TFTに負荷を接続し、画素欠陥の検査をすることが考えられる。

#### 【0013】

##### 【特許文献1】

特許第2506840号公報（第2欄15行以降、および第6図）

#### 【0014】

##### 【発明が解決しようとする課題】

ところで、前記したように画素欠陥の検査工程において、発光素子としての前記EL素子が形成される電極に導電性のピン等を接触させるような作業がなされた場合においては、前記電極を損傷させる等して発光素子の不良を招来させる可能性が増大し、好ましくはない。また、発光素子が形成される電極に検査用の電極を近づけ、両電極間でコンデンサを形成することで、非接触状態で駆動用TFTに負荷を与える手段を採用することも考えられるが、両電極間のギャップ調整が極めて難しく、実用上においては採用し兼ねる。

#### 【0015】

この発明は、前記した問題点を解消するためになされたものであり、たとえば半製品の状態で、検査用ダミー負荷を基板に形成させておき、これを利用することで、前記したTFTおよび電荷保持用コンデンサの欠陥検査を実行することができるアクティブ駆動型画素構造およびその検査方法を提供することを課題とするものである。

#### 【0016】

##### 【課題を解決するための手段】

前記した課題を解決するためになされたこの発明にかかる第1形態のアクティブ駆動型画素構造は、請求項1に記載のとおり、データラインの電位に基づいて

制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が検査用ラインに接続されている点に特徴を有する。

#### 【0017】

また、この発明にかかる第 2 形態のアクティブ駆動型画素構造は、請求項 2 に記載のとおり、データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記駆動用 T F T のゲートに接続されている点に特徴を有する。

#### 【0018】

さらに、この発明にかかる第 3 形態および第 4 形態のアクティブ駆動型画素構造は、請求項 3 に記載のとおり、データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとを少なくとも備えたアクティブ駆動型画素構造であって、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記制御用 T F T のソースまたはゲートに接続されている点に特徴を有する。

#### 【0019】

一方、前記した課題を解決するためになされたこの発明にかかる第 1 態様のアクティブ駆動型画素構造の検査方法は、請求項 4 に記載のとおり、データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が検査用ラインに接続されてなるアクティブ駆動型画素構造の検査方法であって、前記

制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、ソース電圧、検査用ラインのライン電圧のいずれか、もしくは2つ以上を相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行する点に特徴を有する。

#### 【0020】

また、この発明にかかる第2態様のアクティブ駆動型画素構造の検査方法は、請求項5に記載のとおり、データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記駆動用 T F T のゲートに接続されてなるアクティブ駆動型画素構造の検査方法であって、前記制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、またはソース電圧のいずれか、もしくは2つを相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行する点に特徴を有する。

#### 【0021】

さらに、この発明にかかる第3態様および第4態様のアクティブ駆動型画素構造の検査方法は、請求項6に記載のとおり、データラインの電位に基づいて制御出力を生成する制御用 T F T と、前記制御出力に基づいて駆動電流が制御される駆動用 T F T と、前記制御出力を一時的に保持する電荷保持用コンデンサとが少なくとも備えられ、前記駆動用 T F T の電流出力端子に検査用ダミー負荷の一端が接続されると共に、当該検査用ダミー負荷の他端が前記制御用 T F T のソースまたはゲートに接続されてなるアクティブ駆動型画素構造の検査方法であって、前記制御用 T F T をオン状態にするステップと、前記駆動用 T F T のゲート電圧、ソース電圧、または検査用ダミー負荷の他端の電圧のいずれか、もしくは2つ以上を相対的に変化させながら、前記検査用ダミー負荷に流れる電流値を測定するステップとを実行する点に特徴を有する。

#### 【0022】

そして、この発明にかかるアクティブ駆動型画素構造の検査方法においては、

請求項 7 に記載のとおり、検査用ダミー負荷は、当該検査用ダミー負荷に流れる電流値を測定するステップの実行後に、ハイインピーダンスの状態となるように処理される。

### 【 0 0 2 3 】

#### 【発明の実施の形態】

以下、この発明にかかるアクティブ駆動型画素構造およびその検査方法について、図に示す実施の形態に基づいて説明する。なお、以下の説明においては、すでに説明した図 1 に示された各部に相当する部分を同一符号で示しており、したがって個々の機能および動作については適宜説明を省略する。

### 【 0 0 2 4 】

まず、図 2 はこの発明にかかるアクティブ駆動型画素構造の第 1 の形態を示したものである。この図 2 に示す形態は図 1 に示した例と同様にコンダクタンスコントロール方式と呼ばれる回路構成を示している。そして、図 2 に示す状態は有機 EL 素子 E1 が成膜される前の半製品の状態を示している。

### 【 0 0 2 5 】

図 2 に示す第 1 の形態においては、駆動用 T F T (Tr2) の電流出力端子であるドレインに検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷 W の他端が検査用ライン 3 に接続された構成とされている。すなわち、図 1 に示した構成と比較すると、検査用ダミー負荷 W および検査用ライン 3 が新たに備えられている。そして、後述するように、検査用ライン 3 と陰極側電源 (VLcath) との間に、電流測定手段が介在され、ダミー負荷 W に流れる電流値を測定することで、各 T F T (Tr1, Tr2) および電荷保持用コンデンサ C1 の機能が正常であるか否かが検査される。すなわち、この実施の形態においてはダミー負荷 W に流れる電流値を、検査用ライン 3 を介して測定するようになされる。

### 【 0 0 2 6 】

ここで、前記したコンダクタンスコントロール方式の回路構成における各部の電位を考察すると、まず EL 素子 E1 を発光駆動するには 15 V 程度の電位差が必要である。そして、基準電位 (アース電位) に対してなるべく低電圧で駆動動作を実現させるために、実用上においては、EL 素子の陽極側電源 (VHanod)

として、たとえば 10 V、EL 素子の陰極側電源 ( $V_{Lcath}$ ) として、たとえば -5 V を設定するなどの設計がなされる。

#### 【0027】

前記した電圧設定条件において、駆動用 T F T ( $Tr2$ ) をオン・オフ制御させるに必要な駆動用 T F T のゲート電圧を考えた場合、駆動用 T F T は P チャンネルであるため、これをオフ状態にするには最低で 10 V の電位が必要になる。また駆動用 T F T をオンさせるには、前記 10 V よりも相当に低い電位、たとえばアース電位 ( $= 0 V$ ) を印加させることで制御できる。したがって、前記した条件によると、制御用 T F T ( $Tr1$ ) のソースに供給されるデータ信号電圧  $V_{data}$  としては、高レベル電位として  $V_{Hdata} = 10 V$  を、低レベル電位として  $V_{Ldata} = 0 V$  をそれぞれ設定することになる。

#### 【0028】

一方、制御用 T F T ( $Tr1$ ) は N チャンネルであるため、前記  $V_{Hdata}$  および  $V_{Ldata}$  を選択的に駆動用 T F T ( $Tr2$ ) のゲートに供給するためには、制御用 T F T ( $Tr1$ ) のゲートには、 $V_{Hdata} = 10 V$  に対して少なくとも 2 V のスレッシュホールド電圧を加えた 12 V の制御 (選択) 電圧を供給することが必要である。また、非走査時には制御用 T F T ( $Tr1$ ) のゲートに、たとえばアース電位 ( $= 0 V$ ) を印加することで、当該制御用 T F T をカットオフ状態にすることができる。

#### 【0029】

以上の考察に基づき、図 2 に示す形態において画素機能の検査を実行するには、まず、走査ライン 1 a に制御用 T F T ( $Tr1$ ) がオン状態になり得る電位、すなわち前記した 12 V を印加させる。この状態で、データライン 2 a の電位を 10 V ( $= V_{Hanod}$ ) から除々に低下させる (スイープさせる) と、駆動用 T F T ( $Tr2$ ) は除々にオン状態に移行する。なお、図 3 は駆動用 T F T が除々にオン状態に移行する様子を示している。

#### 【0030】

すなわち、図 3 に示す横軸はデータライン 2 a (制御用 T F T のソース) に加わる電位を示しており、左方向に移行するにしがって  $V_{data}$  として示した電位

は 10 V から低下する状態で示している。また、図 3 に示す縦軸は駆動用 T F T (Tr2) のドレインから、ダミー負荷 W および検査用ライン 3 を介して陰極側電源 (V Lcath) に流れる電流値  $I_d$  を示している。したがって、この図 3 に示す特性は、駆動用 T F T (Tr2) の  $I_d - V_{gs}$  特性 (ドレイン電流-ゲート・ソース間電圧特性) にほぼ等しいものとなる。

#### 【0031】

なお、検査用ライン 3 を介して流れる前記電流  $I_d$  は、特に図示していないが、検査用ライン 3 と陰極側電源 (V Lcath) との間に介在された電流測定手段により得ることができる。したがって、データライン電圧 (V data) に関係なく検査用ライン 3 に電流が流れたり、逆に検査用ライン 3 に電流が流れたままの状態である場合には、前記 T F T (Tr1, Tr2) またはコンデンサ C1 のいずれかが不良であることが判る。また、所定の  $I_d$  値が流れる  $V_{gs}$  値 (=  $V_{th}$ : スレッショルド電圧) が規定の電圧を超える状態であるならば、駆動用 T F T (Tr2) が不良であることが判る。

#### 【0032】

以上のようにして各画素毎に評価し、1 パネル内の不良画素が規定数以内ならば良品、規定数を超えるならば不良品と判定する。このようにして検査が終了したならば、各駆動用 T F T に接続されたダミー負荷 W は、ハイインピーダンスの状態となるように処理される。すなわち、前記ダミー負荷 W は E L 素子を成膜し、発光表示パネルを形成した場合においては、電氣的に短絡状態を引き起こすことになるので、前記した処理を実行することで、このダミー負荷を無効にする処置がなされる。

#### 【0033】

前記ダミー負荷 W をハイインピーダンスの状態となるように処理する一例としては、レーザビームにより検査用ダミー負荷を破壊する (焼き切る) ことが考えられる。これにより、各駆動用 T F T のドレインと検査用ライン 3 との電氣的な接続は開放される。また、後で説明する実施の形態において詳述するが、検査用ダミー負荷 W に所定の電流を流すことで、当該検査用ダミー負荷を溶断する手段も好適に採用することもできる。一方、前記した検査用ダミー負荷 W は、単なる

ワイヤーや抵抗体の他、所定電流以上が流れると溶断するいわゆるヒューズと同様の機能を備えた素子や、TFT 或いはダイオードのような素子であってもよい。

#### 【0034】

なお、以上説明した第1の実施の形態における検査方法においては、データライン2aの電位Vdataを変化させること、換言すれば駆動用TFT (Tr2)のゲート電圧を変化させることで、ダミー負荷Wに流れる電流Id、すなわち、検査用ライン3に流れる電流Idを測定するようにしている。しかしながら、検査用ライン3に印加されるライン電圧 (VLcath)、または駆動用TFT (Tr2)のソースに供給される駆動電圧 (VHanod)を単独に変化させても、もしくは前記2つ以上を相対的に変化させても、図3に示したような駆動用TFTのI-V (電流-電圧)特性を得ることができ、これによっても、前記と同様に各画素のTFT (Tr1, Tr2) またはコンデンサC1の機能が正常であるか否かを検査することができる。

#### 【0035】

次に図4は、この発明にかかるアクティブ駆動型画素構造の第2の形態を示したものである。この図4に示す形態も同様にコンダクタンスコントロール方式と呼ばれる回路構成を示している。そして、図4に示す状態は同様に有機EL素子E1が成膜される前の半製品の状態を示している。この第2の形態においては、駆動用TFT (Tr2)の電流出力端子であるドレインに、検査用ダミー負荷Wの一端が接続されると共に、当該ダミー負荷の他端は駆動用TFT (Tr2)のゲートに接続されている。

#### 【0036】

そして、データライン2aとこのデータライン2aにデータライン電圧 (Vdata) をもたらす図示せぬ電圧源 (図1に示すデータドライバー2に代わるもの)との間に、電流測定手段が介在され、データライン2aに流れる電流値を測定するようになされる。この場合のデータライン電流は、駆動用TFT (Tr2)のドレイン電流Idが、ダミー負荷Wおよび制御用TFT (Tr1)を介して得られるものであり、前記データライン電流は、結果として駆動用TFT (Tr2)のドレ



イン電流  $I_d$  にほぼ対応するものとなる。

#### 【0037】

図4に示す画素構成において、その検査を実行するには、図2に示した第1の形態と同様に、走査ライン1aに制御用TF T (Tr1) がオン状態になり得る電圧、たとえば12Vを印加させる。この状態で、データライン2aの電圧を順に  $V_1$  ,  $V_2$  ,  $V_3$  と変化させる。すなわち、前記  $V_1$  ,  $V_2$  ,  $V_3$  の各値は、駆動用TF T (Tr2) がカットオフ状態となる10V (=  $V_{Hanod}$ ) よりも低レベルの範囲で、その電圧レベルが順に低下するように変更される。図5はこの時のデータライン電流(駆動用TF Tのドレイン電流  $I_d$ ) の変化状態を示している。なお、この特性はすでに説明した図3に示すものと同様のものである。

#### 【0038】

図5に示すようにデータライン2aの電圧として  $V_1$  を与えた時の電流値  $I_{d1}$  の値、およびデータライン2aの電圧として  $V_2$  を与えた時の電流値  $I_{d2}$  の値が測定され、この電流値  $I_{d1}$  ,  $I_{d2}$  がそれぞれ規定の範囲内であるならばTF T (Tr1, Tr2) およびコンデンサC1の機能は正常であると判定される。なお、この実施の形態においては、前記ダミー負荷Wとして所定の電流値  $I_{dx}$  以上の電流が流れた時に溶断するいわゆるヒューズと同様の機能を備えた素子が採用されている。

#### 【0039】

そして、図5に示すようにデータライン2aに対して  $V_3$  が与えられる。この  $V_3$  として示す電位は、駆動用TF T (Tr2) のゲートバイアスとして与えられ、この時のドレイン電流は、前記  $I_{dx}$  以上の電流が流れる値に設定されている。したがって、前記ダミー負荷Wは駆動用TF Tのドレイン電流により溶断される。この時、前記ドレイン電流  $I_d$  がほぼゼロになるか否かがデータライン2aを介して確認され、以上の工程によって各画素毎の良否が判定される。そして、パネル毎の良否の判断は、図2および図3に基づいて説明した実施の形態と同様になされる。

#### 【0040】

なお、以上説明した第2の実施の形態における検査方法においては、データラ

イン 2 a の電位  $V_{data}$  を変化させること、換言すれば駆動用 T F T (Tr2) のゲート電圧を変化させることで、ダミー負荷 W に流れる電流  $I_d$  を、データライン 2 a において測定するようにしている。しかしながら、この実施の形態においては、駆動用 T F T (Tr2) のソースに供給される駆動電圧  $V_{Hanod}$  を変化させても、もしくは前記データライン 2 a の電位  $V_{data}$  と駆動電圧  $V_{Hanod}$  の双方を相対的に変化させても、図 5 に示したような駆動用 T F T の  $I-V$  (電流-電圧) 特性を取得することができる。したがって、このような手段を採用しても前記と同様に各画素の T F T (Tr1, Tr2) またはコンデンサ C1 の機能が正常であるか否かを検査することができる。

#### 【0041】

図 6 は、この発明にかかるアクティブ駆動型画素構造の第 3 の形態を示したものである。この図 6 に示す形態も同様にコンダクタンスコントロール方式と呼ばれる回路構成を示している。そして、図 6 に示す状態は同様に有機 E L 素子 E1 が成膜される前の半製品の状態を示している。この第 3 の形態においては、駆動用 T F T (Tr2) の電流出力端子であるドレインに、検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷の他端は制御用 T F T (Tr1) のソースに接続されている。

#### 【0042】

この例においても、図 4 に示した例と同様にデータライン 2 a とこのデータライン 2 a にデータライン電圧  $V_{data}$  をもたらす図示せぬ電圧源との間に、電流測定手段が介在され、データライン 2 a に加えるデータ電圧  $V_{data}$  に対応するデータライン 2 a に流れる電流値を測定するようになされる。すなわち、データライン 2 a に流れる電流値は、図 4 に示した例と同様に駆動用 T F T (Tr2) のドレイン電流  $I_d$  に対応するものであり、データ電圧  $V_{data}$  とドレイン電流  $I_d$  との関係を対比することによって、各画素の T F T (Tr1, Tr2) またはコンデンサ C1 の機能が正常であるか否かを検査することができる。

#### 【0043】

そして、前記した測定が終了した場合には、検査用ダミー負荷 W はレーザビームにより破壊する (焼き切る) か、またはダミー負荷に所定の電流を流すことで

、当該検査用ダミー負荷を溶断するようになされる。この、図6に示す形態においても、駆動電圧  $V_{Hanod}$  を変化させることで、駆動用 T F T の  $I-V$ （電流－電圧）特性を取得することができる。したがって、このような手段を採用しても前記と同様に各画素の T F T（ $Tr1$ ， $Tr2$ ）またはコンデンサ  $C1$  の機能が正常であるか否かを検査することができる。

#### 【0044】

なお、図6に示した実施の形態によると、図4に示した実施の形態に比較して制御用 T F T（ $Tr1$ ）を介さずに、データライン 2 a において駆動用 T F T のドレイン電流  $I_d$  を実質的に得ることができる。したがって、この図6に示した実施の形態によると、制御用 T F T（ $Tr1$ ）として格別に電流容量の高い T F T を形成させる必要はないという利点を得られる。

#### 【0045】

図7は、この発明にかかるアクティブ駆動型画素構造の第4の形態を示したものである。この図7に示す形態も同様にコンダクタンスコントロール方式と呼ばれる回路構成を示している。そして、図7に示す状態は同様に有機 E L 素子  $E1$  が成膜される前の半製品の状態を示している。この第4の形態においては、駆動用 T F T（ $Tr2$ ）の電流出力端子であるドレインに、検査用ダミー負荷  $W$  の一端が接続されると共に、当該ダミー負荷の他端は制御用 T F T（ $Tr1$ ）のゲートに接続されている。

#### 【0046】

この例においては、走査ライン 1 a とこの走査ライン 1 a に制御（選択）電圧をもたらす図示せぬ電圧源（図1に示す走査ドライバー1に代わるもの）との間に、図示せぬ電流測定手段が介在され、走査ライン 1 a に流れる電流値を測定するようになされる。この場合の走査ライン 1 a に流れる電流は、駆動用 T F T（ $Tr2$ ）のドレイン電流  $I_d$  が、ダミー負荷  $W$  を介して得られるものであり、前記走査ライン 1 a に得られる電流は、結果として駆動用 T F T（ $Tr2$ ）のドレイン電流  $I_d$  にほぼ対応するものとなる。

#### 【0047】

なお、この図7に示す実施の形態においては、データライン 2 a に加えるデー

タ電圧  $V_{data}$  に対応する走査ライン 1 a に流れる電流値（実質的に駆動用 T F T のドレイン電流  $I_d$ ）を測定するようになされ、データ電圧  $V_{data}$  とドレイン電流  $I_d$  との関係を対比することによって、各画素の T F T（ $Tr1$ ,  $Tr2$ ）またはコンデンサ  $C1$  の機能が正常であるか否かが検査される。

#### 【0048】

この場合、走査ライン 1 a に対して制御用 T F T（ $Tr1$ ）がオン状態となる電圧、たとえば前記した 12 V を常時印加した場合には、電位差の関係で走査ライン 1 a において、駆動用 T F T のドレイン電流  $I_d$  を検出することが不可能になる。そこで、走査ライン 1 a を介して制御用 T F T（ $Tr1$ ）のゲートに加えるオン電圧は、データライン 2 a に加えるデータ電圧  $V_{data}$  に対応させて可変させるように制御することが必要となる。

#### 【0049】

そして、前記した測定が終了した場合には、検査用ダミー負荷  $W$  はレーザビームにより破壊する（焼き切る）か、またはダミー負荷に所定の電流を流すことで、当該検査用ダミー負荷を溶断するようになされる。この図 7 に示す形態においても、駆動電圧  $V_{Hanod}$  を変化させることで、駆動用 T F T の  $I-V$ （電流-電圧）特性を取得することができる。したがって、このような手段を採用しても前記と同様に各画素の T F T（ $Tr1$ ,  $Tr2$ ）またはコンデンサ  $C1$  の機能が正常であるか否かを検査することができる。

#### 【0050】

なお、図 7 に示した実施の形態によると、図 4 に示した実施の形態に比較して制御用 T F T（ $Tr1$ ）を介さずに、データライン 2 a において駆動用 T F T のドレイン電流  $I_d$  を実質的に得ることができる。したがって、この図 7 に示した実施の形態においても、制御用 T F T（ $Tr1$ ）として格別に電流容量の高い T F T を形成させる必要はないという利点を得られる。

#### 【0051】

次に図 8 は、図 7 に示した構成において、さらに駆動用 T F T（ $Tr2$ ）のソース・ドレイン間にダイオード素子を並列接続したものである。すなわち、ダイオード素子を前記のとおり並列接続することにより E L 素子  $E1$  に対して逆バイア

ス電圧を効果的に印加できるようにした構成に、この発明を採用した例を示している。なお、図 8 に示す例においてはダイオード素子として T F T (Tr3) が用いられており、そのゲートとソースを短絡することにより、等価的にダイオード素子を形成している。

#### 【 0 0 5 2 】

この様にダイオード素子を配置し、所定のタイミングにおいて、たとえば駆動電圧源 V Hanod, V L cath を入れ替えることで、前記ダイオード素子を介して E L 素子 E1 に対して逆バイアス電圧を効果的に印加することができ、これにより、E L 素子の寿命を延ばすことができる。なお、この図 8 に示す逆バイアスの印加手段は、本件出願人において特願 2 0 0 2 - 2 3 0 0 7 2 として出願している。したがって、図 8 に示した構成においても、図 7 に示した構成例と同様の本件発明による作用効果を得ることができる。

#### 【 0 0 5 3 】

図 9 は、デジタル階調を実現させる 3 T F T 方式の画素構成に対してこの発明を適用した例を示す。この駆動方式は S E S (Simultaneous-Erasing-Scan = 同時消去法) と呼ばれており、制御用 T F T (Tr1) と、駆動用 T F T (Tr2) に加えて、消去用 T F T (Tr4) が備えられている。この消去用 T F T (Tr4) は、E L 素子 E1 点灯期間の途中において、当該消去用 T F T (Tr4) をオン動作させることで、コンデンサ C1 の電荷を放電させることができ、これにより E L 素子 E1 の点灯期間を制御する階調駆動を実現させることができる。

#### 【 0 0 5 4 】

この図 9 に示した構成においても、図 6 に示した例と同様に、駆動用 T F T (Tr2) の電流出力端子であるドレインに、検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷の他端は制御用 T F T (Tr1) のソースに接続されている。したがって、この図 9 に示した構成においても、図 6 に基づいて説明した作用効果と同様の作用効果を得ることができる。

#### 【 0 0 5 5 】

図 1 0 は電流プログラミング方式の画素構成に対してこの発明を適用した例を示している。この電流プログラミング方式においては、駆動用 T F T (Tr2) の

ドレインにスイッチング用 T F T (Tr5) が接続され、このスイッチング用 T F T (Tr5) のドレインに E L 素子 E1 が形成されるようになされる。そして、駆動用 T F T (Tr2) のソースとゲート間に電荷保持用のコンデンサ C1 が接続され、駆動用 T F T (Tr2) のゲートとドレインとの間には制御用 T F T (Tr1) が接続されている。

#### 【0056】

さらに制御用 T F T (Tr1) のソースには書き込み用電流源 I s が接続されている。加えて、制御用 T F T (Tr1) とスイッチング用 T F T (Tr5) の各ゲートは走査ライン 1 a に接続されており、前記書き込み用電流源 I s はデータ線 2 a における電流を制御するように機能する。

#### 【0057】

図 10 に示した構成においては、スイッチング用 T F T (Tr5) のドレインに検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷の他端は制御用 T F T (Tr1) のゲートに接続されている。したがって、この構成によるとダミー負荷 W にはスイッチング用 T F T (Tr5) を介して駆動用 T F T (Tr2) のドレイン電流 I d が流れ、このドレイン電流 I d は走査ライン 1 a によって測定することができる。それ故、この図 10 に示した構成においても、図 7 に基づいて説明した作用効果と同様の作用効果を得ることができる。

#### 【0058】

次に図 11 は、スレッシュホールド電圧補正方式と呼ぶことにし、このスレッシュホールド電圧補正方式の画素構成に対してこの発明を適用した例を示している。この図 11 に示したスレッシュホールド電圧補正方式の基本構成は、図 7 に示したコンダクタンスコントロール方式と同様であり、コンダクタンスコントロール方式に比較すると、制御用 T F T (Tr1) と駆動用 T F T (Tr2) との間に、T F T (Tr6) とダイオード D1 との並列接続体が挿入されている。なお、前記 T F T (Tr6) はそのゲート・ドレイン間は短絡状態に構成されており、したがって、これは制御用 T F T (Tr1) から駆動用 T F T (Tr2) のゲートに向かってスレッシュホールド特性を与える素子として機能する。

#### 【0059】

この構成によると、駆動用 T F T (Tr2) におけるスレッシュホールド特性を、T F T (Tr6) によって生成されるスレッシュホールド特性によって効果的にキャンセルさせることができる。そして、この実施の形態においても、駆動用 T F T (Tr2) のドレインに検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷の他端は制御用 T F T (Tr1) のゲートに接続されている。

#### 【0060】

したがって、この図 11 に示す構成においても、駆動用 T F T (Tr2) におけるドレイン電流  $I_d$  は、走査ライン 1a によって測定することができる。それ故、この図 11 に示した構成においても、図 7 に基づいて説明した作用効果と同様の作用効果を得ることができる。

#### 【0061】

図 12 は、電圧プログラミング方式の画素構成に対してこの発明を適用した例を示している。この電圧プログラミング方式においては、駆動用 T F T (Tr2) のドレインに対してスイッチング用 T F T (Tr7) が接続されており、また駆動用 T F T (Tr2) のドレインとゲートとの間にスイッチング用 T F T (Tr8) が接続されている。

#### 【0062】

加えてこの電圧プログラミング方式においては、駆動用 T F T (Tr2) のゲートに対して、データライン 2a より制御用 T F T (Tr1) およびコンデンサ C2 を介してデータ信号が供給されるように構成されている。

#### 【0063】

前記した電圧プログラミング方式においては、T F T (Tr7) および T F T (Tr8) がオンされ、これに伴い駆動用 T F T (Tr2) のオン状態が確保される。次の瞬間に T F T (Tr7) がオフされることにより、駆動用 T F T (Tr2) のドレイン電流  $I_d$  は T F T (Tr8) を介して駆動用 T F T (Tr2) のゲートに回り込む。これにより、駆動用 T F T (Tr2) のゲート・ソース間電圧が、駆動用 T F T のスレッシュホールド電圧に等しくなるまで、ゲート・ソース間電圧が押し上げられ、この時点で駆動用 T F T (Tr2) はオフする。

#### 【0064】

そして、この時のゲート・ソース間電圧がコンデンサC1に保持され、このコンデンサ電圧によって、駆動用TFTのドレイン電流が制御される。すなわち、この電圧プログラミング方式においては、駆動用TFT (Tr2) におけるスレッショルド電圧のばらつきを補償するように作用する。

#### 【0065】

前記した図12に示す構成においては、TFT (Tr7) のドレインに検査用ダミー負荷Wの一端が接続されると共に、当該ダミー負荷の他端は制御用TFT (Tr1) のソースに接続されている。したがって、駆動用TFT (Tr2) のドレイン電流  $I_d$  は、TFT (Tr7) およびダミー負荷Wを介してデータライン2aにおいて検出することができる。それ故、この図12に示した構成においても、図6に基づいて説明した作用効果と同様の作用効果を得ることができる。

#### 【0066】

図13は、カレントミラー方式の画素構成に対してこの発明を適用した例を示している。このカレントミラー方式においては、Pチャンネルの駆動用TFT (Tr2) にゲートが共通接続されて同じくPチャンネルのTFT (Tr9) が対称的に備えられており、両TFT (Tr2, Tr9) のゲートとソース間に電荷保持用のコンデンサC1が接続されている。

#### 【0067】

また、前記TFT (Tr9) のゲートとドレイン間には制御用TFT (Tr1) が接続されており、この制御用TFT (Tr1) のオン動作により、TFT (Tr2, Tr9) はカレントミラーとして機能する。すなわち、制御用TFT (Tr1) のオン動作と共にNチャンネルにより構成されたスイッチング用TFT (Tr10) もオン動作されるように構成されており、これにより、スイッチング用TFT (Tr10) を介して書き込み用電流源  $I_s$  が接続されるように構成されている。

#### 【0068】

これにより、アドレス期間においてはV<sub>Hanod</sub>の電源から、TFT (Tr9)、TFT (Tr10) を介して書き込み用電流源  $I_s$  に流れる電流経路が形成され、また、カレントミラーの作用により、電流源  $I_s$  に流れる電流に対応した電流が、駆動用TFT (Tr2) のドレイン電流  $I_d$  として生成される。



**【0069】**

このような動作によりコンデンサC1には書き込み用電流源Isに流れる電流値に対応したTF T (Tr9)のゲート電圧が書き込まれる。そして、コンデンサC1に所定の電圧値が書き込まれた後には、制御用TF T (Tr1)はオフ状態になされ、駆動用TF T (Tr2)は、コンデンサC1に蓄積された電荷に基づいて所定のドレイン電流Idを供給するように作用する。

**【0070】**

そして、図13に示す実施の形態においては、駆動用TF T (Tr2)の電流出力端子であるドレインに、検査用ダミー負荷Wの一端が接続されると共に、当該ダミー負荷の他端は制御用TF T (Tr1)のゲートに接続されている。したがって、この図13に示す構成においても、駆動用TF T (Tr2)におけるドレイン電流Idは、走査ライン1aによって測定することができる。それ故、この図13に示した構成においても、図7に基づいて説明した作用効果と同様の作用効果を得ることができる。

**【図面の簡単な説明】****【図1】**

従来のアクティブマトリクス型表示装置における1つの画素に対応する基本的な回路構成を示した結線図である。

**【図2】**

この発明にかかるアクティブ駆動型画素構造の第1の形態を示した結線図である。

**【図3】**

図2に示す構成における駆動用TF Tの動作を示す特性図である。

**【図4】**

この発明にかかるアクティブ駆動型画素構造の第2の形態を示した結線図である。

**【図5】**

図4に示す構成における駆動用TF Tの動作を示す特性図である。

**【図6】**

この発明にかかるアクティブ駆動型画素構造の第 3 の形態を示した結線図である。

【図 7】

同じく第 4 の形態を示した結線図である。

【図 8】

E L 素子に逆バイアス電圧を効果的に印加できるように構成した画素構成に対してこの発明を適用した例を示す結線図である。

【図 9】

S E S 方式の画素構成に対してこの発明を適用した例を示す結線図である。

【図 1 0】

電流プログラミング方式の画素構成に対してこの発明を適用した例を示す結線図である。

【図 1 1】

スレッショルド電圧補正方式の画素構成に対してこの発明を適用した例を示す結線図である。

【図 1 2】

電圧プログラミング方式の画素構成に対してこの発明を適用した例を示す結線図である。

【図 1 3】

カレントミラー方式の画素構成に対してこの発明を適用した例を示す結線図である。

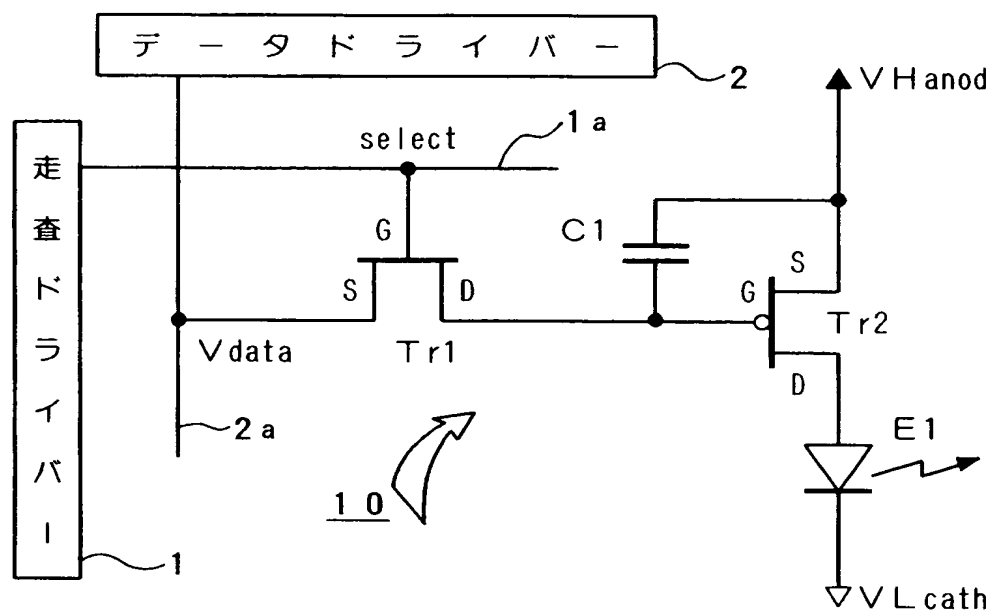
【符号の説明】

- |           |          |
|-----------|----------|
| 1         | 走査ドライバー  |
| 1 a       | 走査ライン    |
| 2         | データドライバー |
| 2 a       | データライン   |
| 3         | 検査用ライン   |
| 1 0       | 画素       |
| C 1 , C 2 | コンデンサ    |

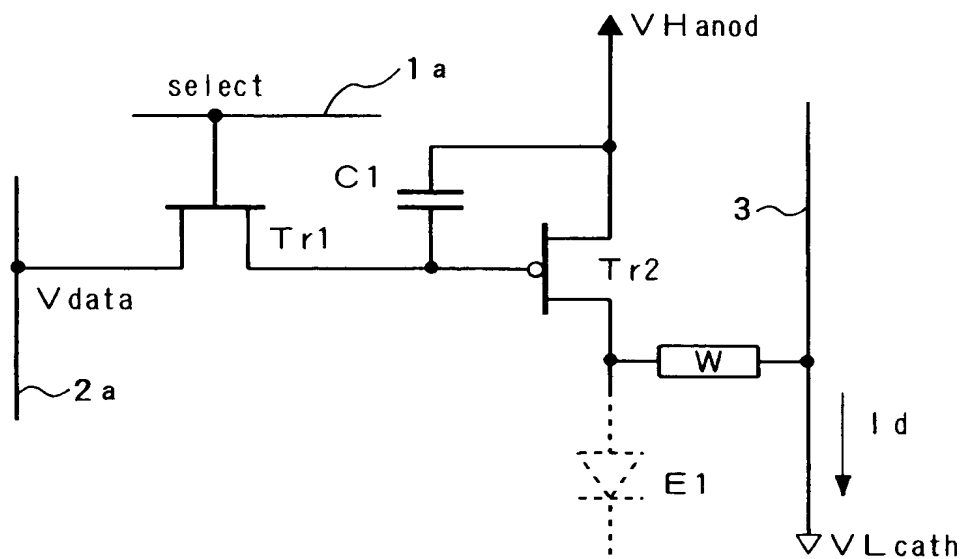
D1	ダイオード
E1	発光素子（有機 E L 素子）
I s	書き込み用電流源
T r1	制御用 T F T
T r2	駆動用 T F T
W	検査用ダミー負荷

【書類名】 図面

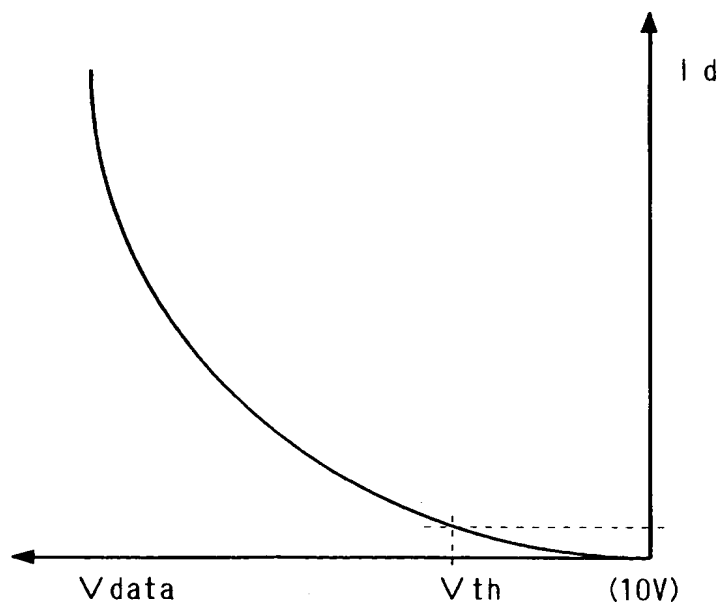
【図 1】



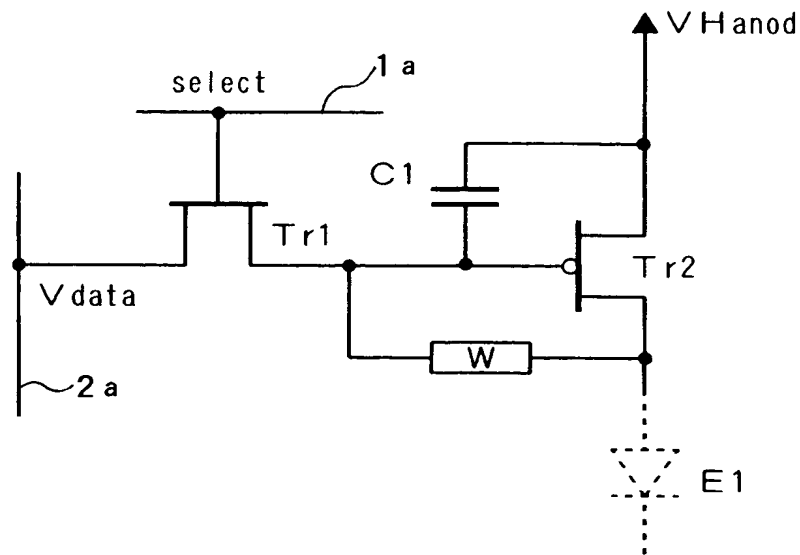
【図 2】



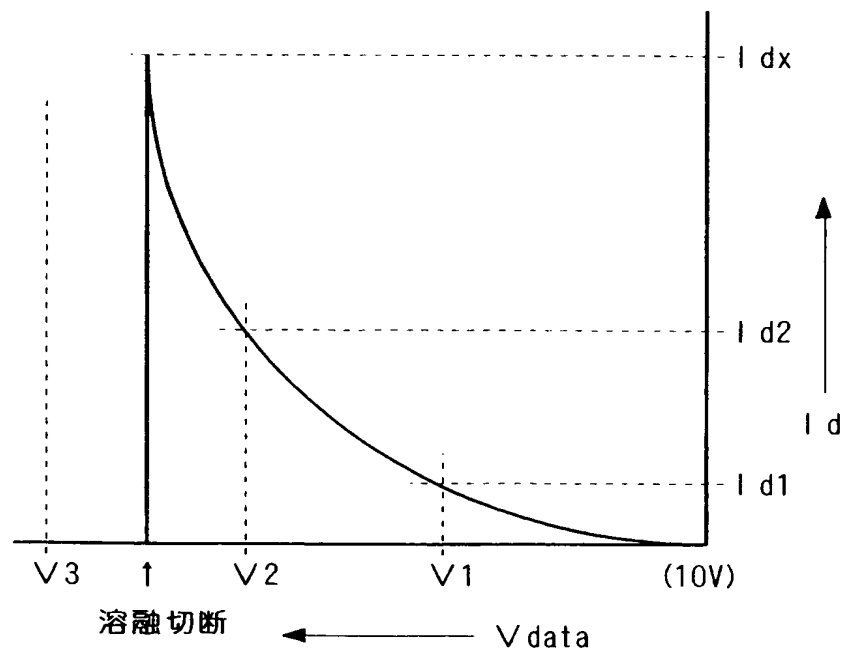
【図 3】



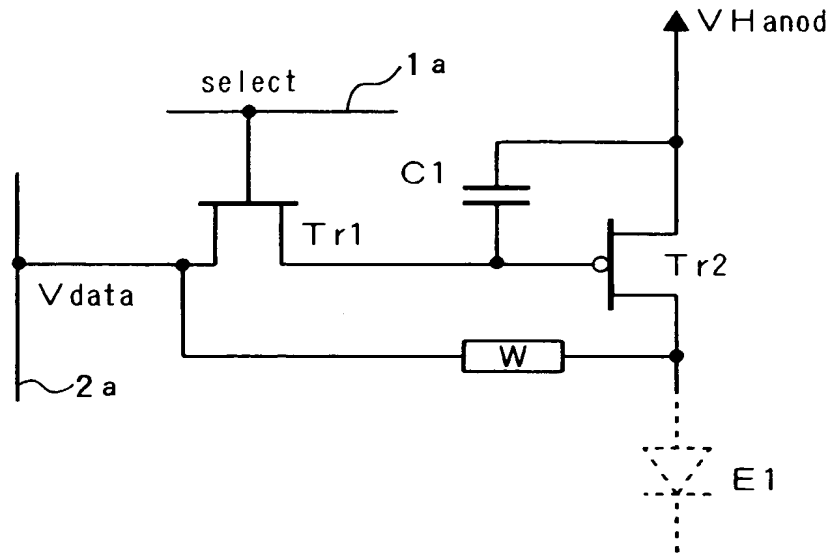
【図 4】



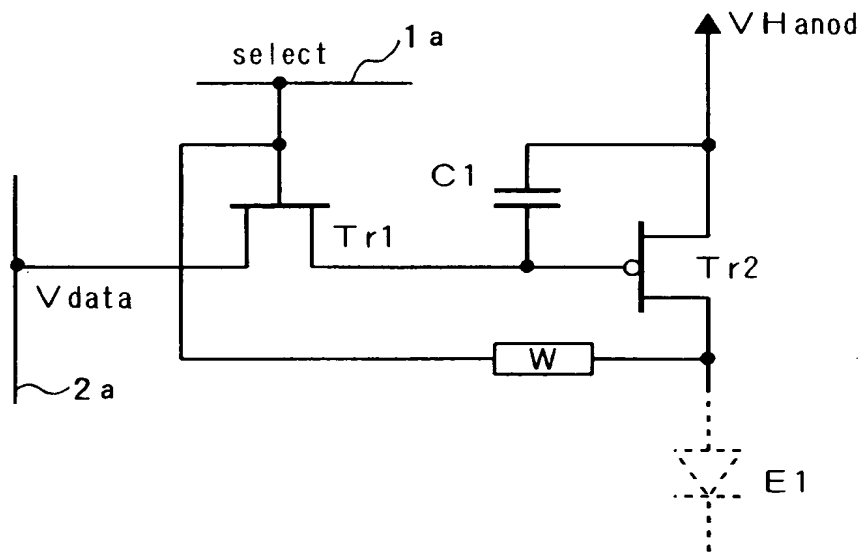
【図 5】



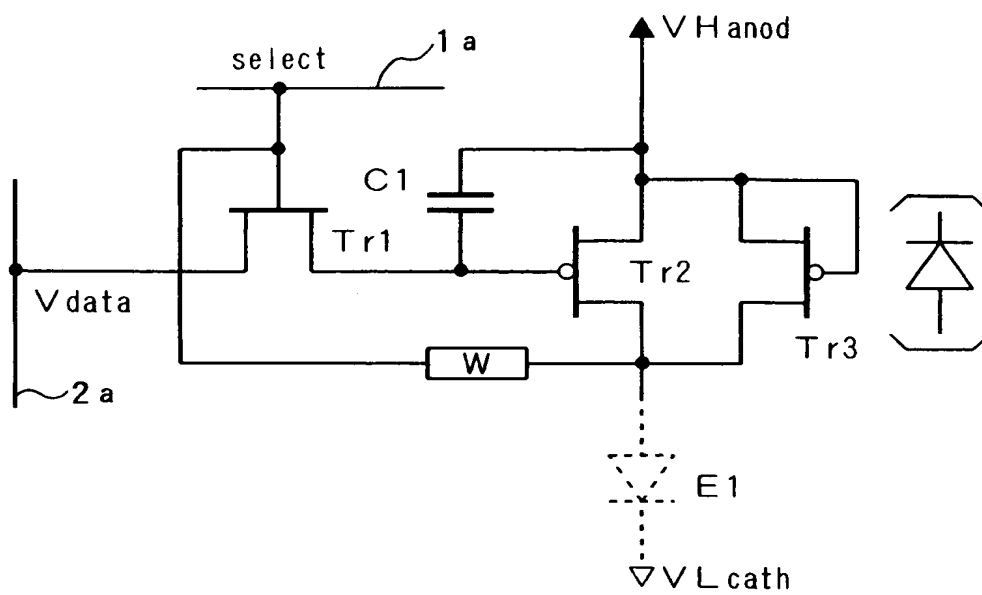
【図 6】



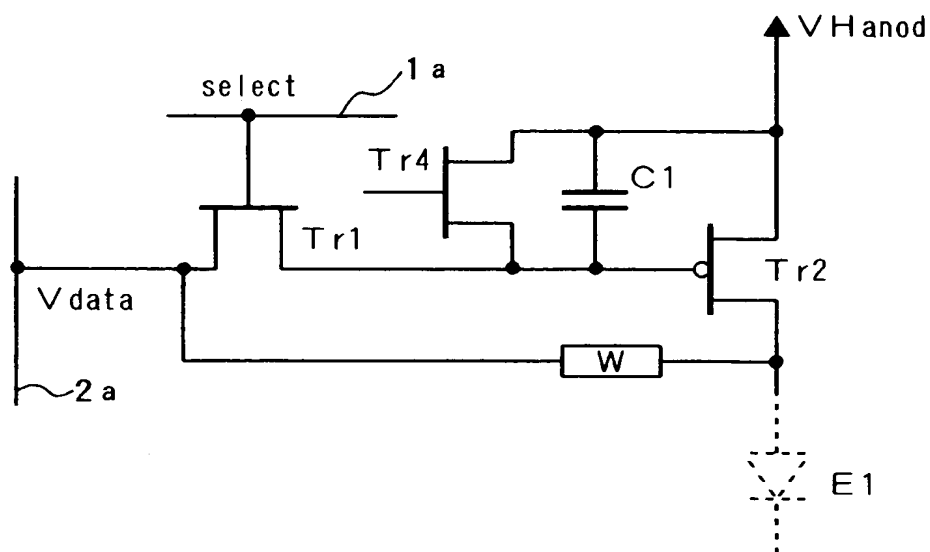
【図 7】



【図 8】

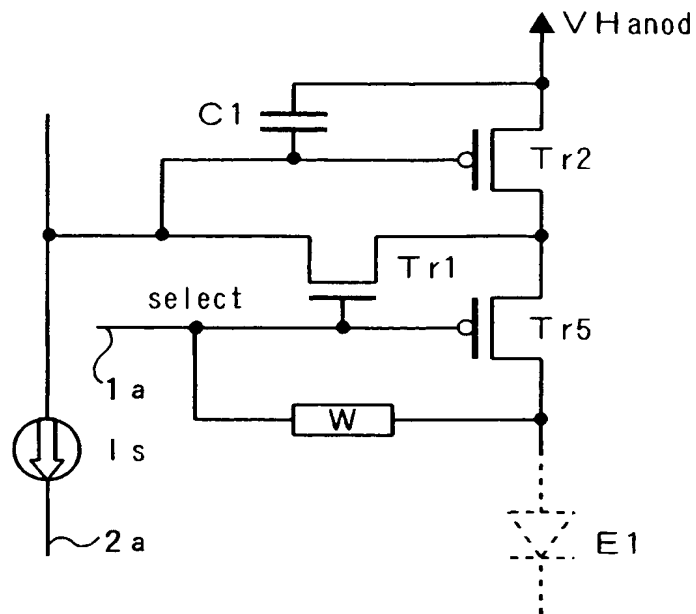


【図 9】

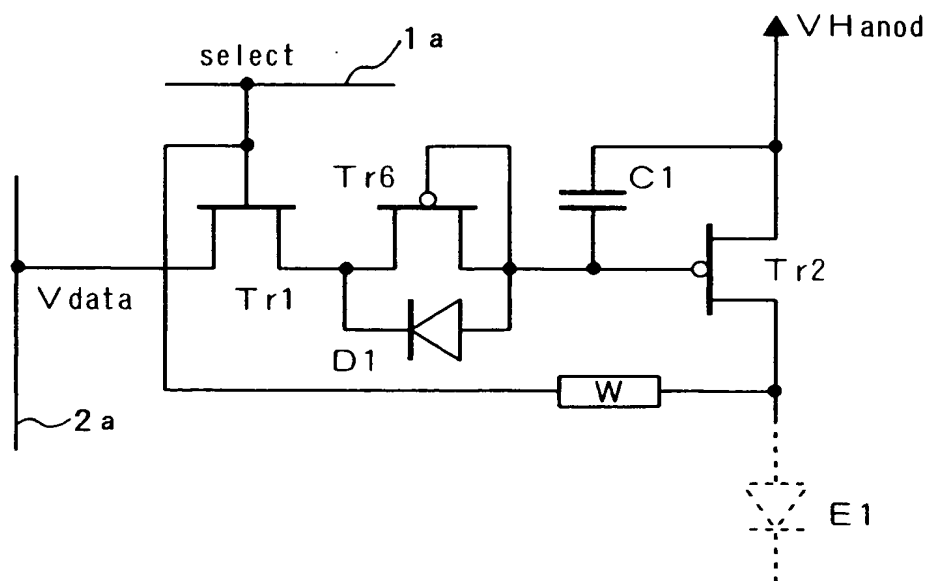




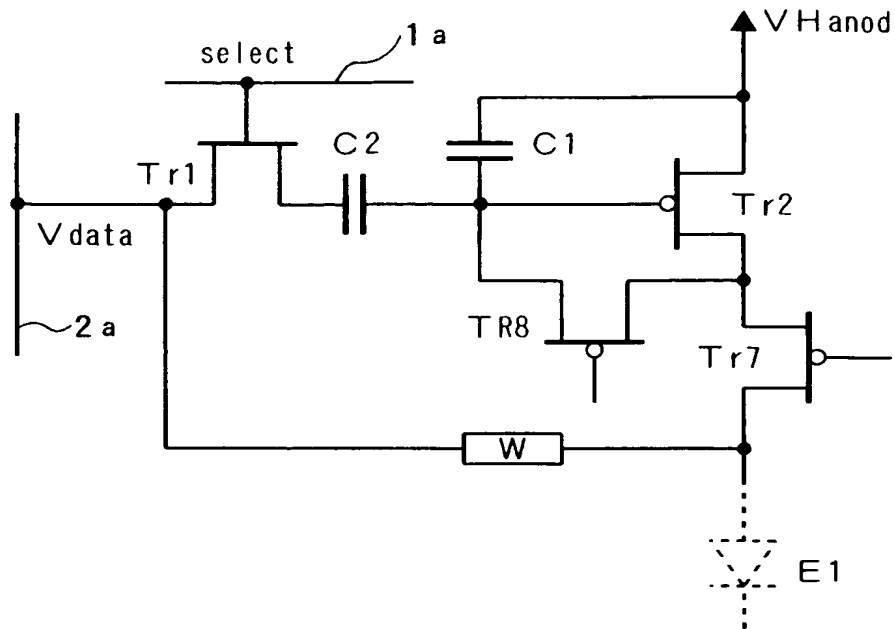
【図 10】



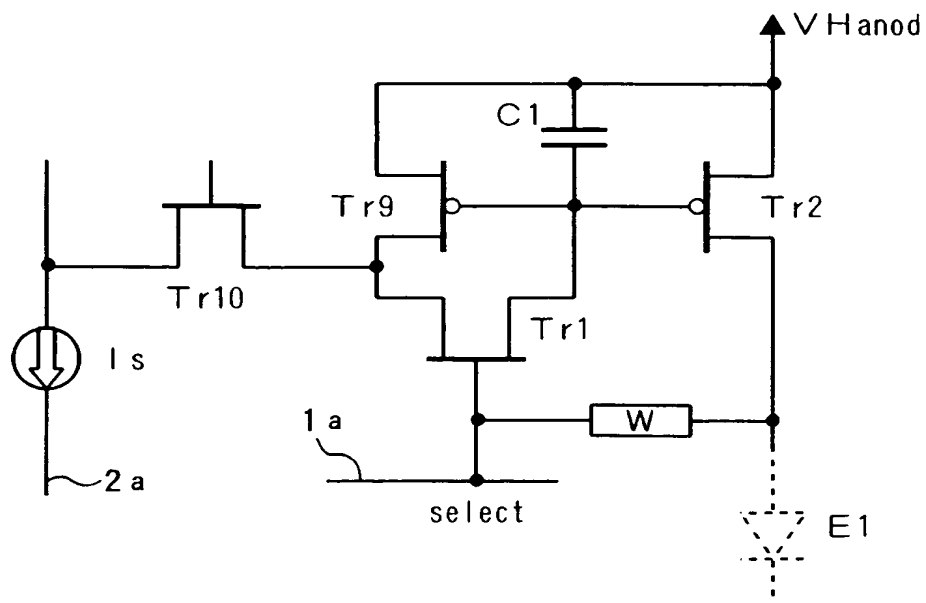
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 少なくとも制御用 T F T と駆動用 T F T、さらに電荷保持用コンデンサとを備えたアクティブ駆動型画素構造において、各 T F T およびコンデンサの機能が正常であるか否かを容易に検査することを可能にすること。

【解決手段】 制御用 T F T (Tr1)、駆動用 T F T (Tr2) と、電荷保持用コンデンサ C1 とを備えたアクティブ駆動型画素構造において、駆動用 T F T のドレインに検査用ダミー負荷 W の一端が接続されると共に、当該ダミー負荷の他端は検査用ライン 3 に接続されている。データライン 2 a に加える電圧を可変しつつ、検査用ライン 3 に得られる電流 I d を測定することで、T F T およびコンデンサの機能が正常であるか否かを検査することができる。検査終了後に前記ダミー負荷 W は、レーザビームで焼き切るか、ダミー負荷 W に所定の電流を流すことで、溶融切断させる。

【選択図】 図 2

特願 2 0 0 3 - 0 2 3 0 3 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 2 1 9 2 6 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

山形県天童市大字久野本字日光 1 1 0 5 番地

氏 名

東北パイオニア株式会社

2 . 変更年月日

2 0 0 2 年 2 月 8 日

[変更理由]

住所変更

住 所

山形県天童市大字久野本字日光 1 1 0 5 番地

氏 名

東北パイオニア株式会社